

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-38509

(43) 公開日 平成7年(1995)2月7日

(51) IntCl [*]	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 14/04		Z 4101-5K		
G 0 6 F 15/16	3 8 0	Z 7429-5L		
	15/78	5 1 0 A		
G 1 0 L 9/14		G 8946-5H		
	9/18	E 8946-5H		

審査請求 未請求 請求項の数 9 O L (全 31 頁)

(21) 出願番号 特願平3-165972

(22) 出願日 平成3年(1991)7月5日

(31) 優先権主張番号 548709

(32) 優先日 1990年7月6日

(33) 優先権主張国 米国 (US)

(71) 出願人 591016172

アドバンスド・マイクロ・デバイス・
インコーポレイテッドADVANCED MICRO DEVI
CES INCORPORATEDアメリカ合衆国、94088-3453 カリフォ
ルニア州、サニペイル、ビー・オー・ボ
ックス・3453、ワン・エイ・エム・ディ
プレイス (番地なし)

(74) 代理人 弁理士 深見 久郎 (外4名)

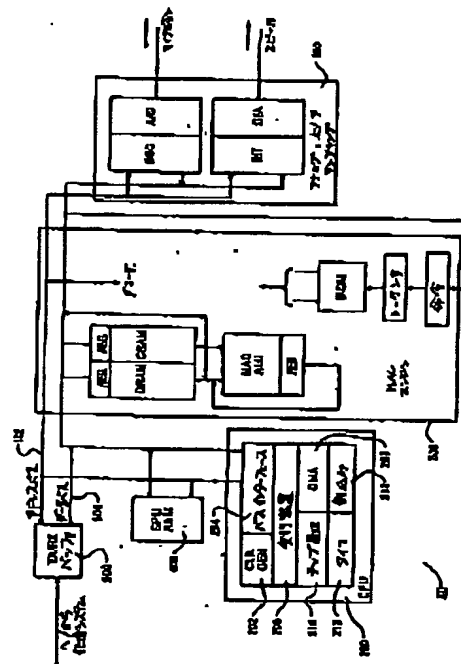
最終頁に続く

(54) 【発明の名称】 音声帯域電気通信用プロセッサ

(57) 【要約】 (修正有)

【目的】従来のクロック速度で作動する、従来から利用可能な構成要素を使用して、集中的なデジタル信号処理アルゴリズムを実現する。

【構成】単一の集積回路チップの中に、演算論理装置およびアキュムレータを有する実行装置、プログラムカウンタ、メモリ、クロックジェネレータ、タイマ、バスインターフェイス、チップ選択出力、および割込プロセッサを含む中央処理装置 (CPU) 200と、デジタル信号処理アルゴリズムを実行する命令セット、乗算および累算機能を実行するための実行装置、および外部インターフェイスを有するデジタル信号プロセッサ (DSP) 300と、CPUおよびDSPの間に接続されるアドレスバス102と、CPUおよびDSPの間に接続されるデータバス104と、DSPおよびCPUの間の信号処理アルゴリズムの実行を静的にスケジューリングするスタティックスケジューラとの組合わせを含む。



(2)

特開平7-38509

1

【特許請求の範囲】

【請求項1】 演算論理装置およびアキュムレータを有する実行装置、プログラムカウンタ、メモリ、クロックジェネレータ、タイマ、バスインターフェイス、チップ選択出力、および割込プロセッサを有する中央処理装置(CPU)と、

ディジタル信号処理アルゴリズムを実行する命令セット、乗算および累算機能を実行するための実行装置、および外部インターフェイスを有するディジタル信号プロセッサ(DSP)と、

前記中央処理装置および前記ディジタル信号プロセッサの間に接続されるアドレスバスと、

前記中央処理装置および前記ディジタル信号プロセッサの間に接続されるデータバスと、

前記ディジタル信号プロセッサおよび前記中央処理装置の間の信号処理アルゴリズムの実行を静的にスケジューリングするスケジューリング手段との組合わせを、単一の集積回路チップの中に含む、装置。

【請求項2】 前記ディジタル信号処理アルゴリズムは、ディジタル音声処理アルゴリズムであり、前記スケジューリング手段は前記ディジタル信号プロセッサに含まれ、かつ、前記中央処理装置への割込みを発生して前記中央処理装置の前記音声処理アルゴリズムの一部の前記中央処理装置による実行を命令する手段を含み、さらに、前記中央処理装置割込プロセッサ手段は前記ディジタル信号プロセッサからの前記割込をマスクできない割込信号として処理する、請求項1に記載の装置。

【請求項3】 前記スケジューリング手段によって、すべての乗算/乗算および累算演算が前記ディジタル信号プロセッサに処理され、他の演算のすべてが前記中央処理装置に処理されることができ、請求項2に記載の装置。

【請求項4】 前記音声処理アルゴリズムは、コード励起線形予測コーディングアルゴリズムである、請求項2に記載の装置。

【請求項5】 前記音声アルゴリズムは、ベクトル和励起線形予測コーディングアルゴリズムである、請求項4に記載の装置。

【請求項6】 前記プロセッサは、80186型マイクロプロセッサである、請求項1に記載の装置。

【請求項7】 前記中央処理装置は、前記中央処理装置のユーザプログラミングを許可するためのオペレーティングシステムサポート手段を含み、前記スケジューリング手段は、前記オペレーティングシステムサポート手段を制御し、前記信号処理アルゴリズムの実行に優先権を与える、請求項1に記載の装置。

【請求項8】 前記集積回路は、セルラー電話システムの移動ハンドセットに含まれる、請求項4に記載の装置。

【請求項9】 前記スケジューリング手段は、前記信号

2

処理アルゴリズムの実行中、前記中央処理装置およびディジタル信号プロセッサの同時動作を行なう、請求項1に記載の装置。

【発明の詳細な説明】

【0001】

【発明の背景】

【0002】

【発明の分野】この発明は、音声帯域電気通信のためのプロセッサに関するものであり、より特定的には、コード励起線形予測アルゴリズムを処理する能力を有するディジタルプロセッサに関するものである。

【0003】

【関連技術の議論】近年、セルラー(cellular)電話システムは、より実用的になり、広く普及してきた。この普及の様子では、間もなくサービスが需要に対応できなくなるであろう。したがって、伝送される音声の帯域幅を縮小し、それによってシステムパフォーマンスが高まり、かつ、ユーザがより利用しやすくなる時分割多重伝送を可能にするための、予測音声信号コーディングを組み入れた、ディジタルセルラーネットワークが実現されることが提案されている。

【0004】電気通信工業協会(the Telecommunication Industries Association)は、ベクトル和励起線形予測(VSELP)ポコーダアルゴリズムの米国での使用を実現する、ディジタルセルラースタンダード(Digital Cellular Standard)IS-54という基準を採用した。このアルゴリズムは、計算結果的に集中的であり、 6.45×10^6 演算動作/秒および15.6ミリオン命令/秒(MIPS)のオーダーで要求する。

【0005】世界の他の地域でも、ディジタルセルラーシステムに移行しつつある。日本は、米国に類似したVSELPアルゴリズムを最近採用し、ヨーロッパは、グループ・スペシャル・モバイル(Group Special Mobile)(GSM)として参照される、CELPアルゴリズムに移行しつつある。

【0006】現在、モトローラ社(Motorola, Inc.)によって生産される、DSP65000ファミリのようなディジタル信号プロセッサ(DSP)は、ディジタルフィルタ、高速フーリエ変換、および相関関数などのようなディジタルアルゴリズムを実現するために使用可能である。このようなプロセッサは、モジュロ・アドレッシング、ハードウェアDOループ、および24ビット×24ビットのハードウェア乗算器などといった、ディジタル信号処理に必要な多数の高精度の演算動作を容易にする独特の特徴を有する。DSPは、現在のモデルのクロック速度が遅すぎることのせいで、VSELPおよび類似のアルゴリズムの実行に理想的である。DSP65000ファミリの公称クロック速度は、

50

(3)

特開平7-38509

3

たとえば20.48メガヘルツで、10.24MIPSの実行速度を与える。これは、27メガヘルツに増加して、13.5MIPSの実行速度にすることができる。IS-54に必要とされる15.6MIPSに調節するために、クロック速度は、約32メガヘルツに増加されねばならないであろう。このように増加するためには、DSPの再設計が必要であろう。

【0007】

【発明の要約】この発明の1つの目的は、従来のクロック速度で作動する、従来から利用可能な構成要素を使用して、IS-54および他の計算結果的に集中的なデジタル信号処理アルゴリズムを実現するための通信プロセッサを提供することである。

【0008】この発明のまた別の目的は、計算結果的に集中的なデジタル信号処理アルゴリズムに加えて、アルゴリズムの実行に影響を及ぼさずに、命令の実行を許容するユーザプログラマブル機能を含む通信プロセッサを提供することである。

【0009】この発明のさらに別の目的は、単一の集積回路チップ上で実現される通信プロセッサを提供することである。

【0010】上記および他の目的に従って、この発明の通信プロセッサは、演算論理装置およびアキュムレータを含む実行装置、プログラムカウンタ、メモリ、クロックジェネレータ、タイマ、バスインタフェース、チップ選択出力、および割込プロセッサを有する中央処理装置(CPU)と、デジタル信号処理アルゴリズムを実行する命令セット、乗算および累算動作を実行するための実行装置、および外部インタフェースを有するデジタル信号プロセッサ(DSP)と、CPUおよびDSPの間に接続されたアドレスバスと、CPUおよびDSPの間に接続されたデータバスと、デジタル信号プロセッサおよびCPUの間の信号処理アルゴリズムの実行を静的にスケジューリングするためのスタティックスケジューラとの組合わせを、単一の集積回路チップに含む。

【0011】他の局面に従って、デジタル信号処理アルゴリズムはデジタル音声処理アルゴリズムであってもよく、スケジューラはDSPに含まれてもよく、かつCPUへの割込を発生してCPUによる音声処理アルゴリズム部分の実行を指令する割込ジェネレータを含んでもよい。CPU割込プロセッサは、DSPからの割込をマスク不可能な割込信号として処理し、アルゴリズムの実行が他のプログラムよりも優先権を得ることを保証する。

【0012】DSPおよびCPUの長所を活用するために、スタティックスケジューラは信号処理アルゴリズムの実行を区分して、乗算および乗算-累算動作がすべて、DSPで実行され、加算、減算、割算および比較など他の動作がすべてCPUで実行されるようにする。

【0013】この発明の別の局面に従って、音声処理ア

4

ルゴリズムは、コード励起線形予測コーディングアルゴリズムであってもよく、特定的には、ベクトル和励起線形予測コーディングアルゴリズムであってもよい。

【0014】CPUはCPUのユーザプログラミングを許容するためのオペレーティングシステムサポートを含む。スタティックスケジューラはオペレーティングシステムサポートを制御し、信号処理アルゴリズムの実行に優先権を与える。

【0015】スタティックスケジューラは、前記信号処理アルゴリズムの実行の部分中にCPUおよびDSPの同時動作を行なう。

【0016】この発明の上記および他の目的は、この発明が、同一の参照数字が同一の部分を表わす、後述の詳細な説明に基づいてより完全に理解されると、より明らかなになるであろう。

【0017】

【好ましい実施例の詳細な説明】図1は、この発明の通信プロセッサ100を示す。プロセッサ100は、IS-54またはGSMコンプライアントセルラー電話を実現するための高集積化された集積回路である。この送受器内在の装置はRAMおよびROMを結合して、可聴トランスジューサおよびRFモデムの間に、音声処理、ユーザインタフェースおよびシステム制御を含む完全な1組の機能を提供する。

【0018】このアーキテクチャの重要な要素の1つは、VSELPおよびGSM音声圧縮アルゴリズムを処理する、CPU200として図1に示される標準的なマイクロプロセッサと、乗算器-累算器(MAC)エンジン300およびマルチポートスタティックRAM(SRAM)400として図1に示される専用のカスタムDSPエンジンとの独特の組合わせである。この組合わせは、音声処理およびシステム制御の両方を行なう間に、ダイの寸法を縮小する。

【0019】図1は、この発明の通信プロセッサ100の主要構成要素の機能的関係を示す。CPU200は、カリフォルニア州サンニベイルのアドバンスト・マイクロ・デバイス(Advanced Micro Devices)によって販売されるモデル80C186マイクロプロセッサのような従来の80186型のプロセッサであってもよい。このプロセッサは、クロックジェネレータ202、バスインタフェース204、実行装置206、ダイレクトメモリアクセスユニット208、チップ選択装置210、タイマ212、および割込プロセッサ214を含む。この発明に従って、CPU200はユーザによって、ユーザ指定された機能を実行するようにプログラムされることができ、DSP300に関連して作動し、後により詳細に説明されるように、IS-54および他の信号処理アルゴリズムに従ってVSELPを実行する。

【0020】CPU200は、アドレスバス102およ

50

5

びデータバス104を含むバスシステムを介してSRAM400およびDSP300と交信する。これらのバスは、送信/受信バッファ500および可聴インタフェース部600への通信も与える。

【0021】図1を参照すると理解されるであろうように、もしセルラー電話システムが実現化すると、基地局または同様のものへの通信は、モデム、無線または同様のものを含む伝送システムに接続することができるバッファ500を介して行なわれる。ローカルユーザへの通信は、後でより詳細が説明されるであろうように、マイクロホンおよびスピーカに接続するインタフェース600を介して行なわれる。

【0022】図2は、通信プロセッサ100をより詳細に示す。図2に示されるように、オンチップ回路もまた、オペレーティングシステムサポート装置700、ウォッチドックタイマ装置800、システムクロック900、システム検査論理装置1000、ならびにリセットおよびパワーモード装置1200を含む。

【0023】CPUのユーザプログラミングは、キーボードインタフェース1300、直列ディスプレイおよび入出力バス装置1400、および1つまたはそれ以上の並列出力ポート1500を介して利用することができる。

【0024】図2の各構成要素の機能は、これより簡単に示す。オーディオインタフェース600は、図3により詳細に示される。インタフェース600は、イヤホンおよびラウドスピーカ604インタフェース、送受信マイクロホン601およびハンドフリーマイクロホン602インタフェース620、A/Dコンバータ606、D/Aコンバータ608、ハードウェアデシメータ610、ハードウェア補間器612およびトーンリング装置614を備える。プログラマブル利得装置616はすべてのアナログ入力および出力を与えられる。

【0025】インタフェース600の送信経路は、超過サンプリングA/Dコンバータ606に接続されたプログラマブル利得段(6→24デシベル; 3デシベルステップ)に多重化される2つの入力を持つ。A/Dの出力はハードウェア装置610で16キロヘルツにデシメートされる。この信号は音声処理エンジンによって使用されるためにオンチップSRAM400にロードされる。6デシベルのプログラムされた利得で、625ミリボルトの入力はフルスケールのデジタル出力を生じる。

【0026】受信側では、音声プロセッサの16キロヘルツの出力は、ハードウェア装置612に補間され、D/Aコンバータ608に送り込まれる。D/Aの出力は、イヤホンおよびラウドスピーカのいずれかか、または両方に入る。プログラマブルアナログ利得段は各経路に置かれる(0→36デシベル; 3デシベルステップ)。イヤホンドライバは5ボルトP-Pで540オ

(4)

特開平7-38509

6

ームロードを駆動することができる。ラウドスピーカドライバは5ボルトP-Pで40オームロードを駆動することができる。どちらかの経路にプログラムされた0デシベルの利得で、フルスケールのデジタルコードはフルスケールの出力電圧を生じる。

【0027】トーンリング614は、12キロヘルツから200キロヘルツまでのプログラマブル周波数範囲を有する公称50%のデューティサイクルの直角波形を生じる。出力の振幅はプログラマブルであり、最大レベル5ボルトP-Pで開始し、3デシベルステップで-36デシベルまで減衰される。トーンリングは合計されてラウドスピーカの出力になる。リングおよびラウドスピーカ出力バッファは、不能化されたオーディオインタフェースの残りの部分とともに作動することができる。

【0028】アナログ折返しおよび入力ミュート機能は、インタフェース620に与えられる。プログラマブル利得(範囲および分解能)を有するアナログ側音経路もまた与えられる。

【0029】およそ2.4ボルトの基準電圧出力は、(エレクトレットマイクロホンを含む)外部回路をバイアスするために与えられる。関連するピンは、そこから基準電圧出力が引出される内部バイアス基準をフィルタするために与えられる。

【0030】メモリインタフェース621は、デジタル化された音声を内部SRAM400およびオーディオインタフェースの間を専用のDMA機構によって移動させる。送信および受信バッファスペースはSRAMの中に別に設定される。これらのバッファはFIFOとして機能し、音声処理アルゴリズムのブロック性質を補償するだけ十分に深い。バッファは固定されたベースアドレスを有する。メモリインタフェースは、各方向に16kワード/秒の速度でデータをバッファに往復させる。

【0031】CPU200は、完全な80C186マイクロプロセッサであり、20メガヘルツまでで実行することができる。80C186は、2つの16ビットタイマ、プログラマブルチップ選択出力および割込制御装置を備える。これらの資源のいくつかは内部で使用され、ユーザが使用することはできない。

【0032】CPUのクロック速度は、システムクロックジェネレータブロック900によって動的に制御され、ユーザはクロック速度をプログラマブルに制御することができる。

【0033】クロックジェネレータブロック900は、様々なブロックで使用されるクロック信号のマスタ分布点として役立つ。この集約機構は、通信プロセッサ100内の電力消費を削減するために使用される。このブロックは水晶発振器および様々な割算器を含む。これらの割算器の1つはCPUクロック入力に関連される。この割算器はプログラマブルで、プロセッサのクロック速度、かつ電力消費を、プロセッサの作業負荷が低いとき

(5)

特開平7-38509

7

はいいつでも下げることができるようにする。プロセッサのクロック速度もまた、ハードウェアの割込にตอบสนองして自動的に変化されることができる。もしこのオプションが選択されると、CPUへのどのようなハードウェアの割込もクロック速度を最大限に強制するであろう。これは、極めて遅いクロック速度で作動する際の、割込応答待ち時間を短縮する。クロックはNMIにตอบสนองして無制限に速度を上げ、NMIから復帰すると自動的に前の速度に復帰される。パワーオンリセット後、最大クロック速度は限定値としてCPUに与えられる。システムクロックジェネレータに与えられることのできる最大分割要因は64である。CPUクロックは、停止するようにもプログラムされることができる。

【0034】CPUによって支持される割込には3つの等級がある。1) MACエンジン300からのNMI、2) CPUへの直接割込、および3) 間接割込、である。MACからのNMIは、音声処理およびユーザのCPU時間の間のスイッチを制御する基本タスク/スケジューラ割込である。NMIはMACエンジン300によって発生され、CPUのNMI入力へ直接送られる。直接割込は、CPU200の4つのマスク可能な割込入力に直接接続される割込である。キーパッドスキャナ1300、並列入出力1500、および制御チャネルプロセッサ502は、直接割込を発生する。4番目の直接割込は間接割込制御装置によって発生され、残りの割込すべてを1つの割込にまとめる。外部ユーザ回路からのどの*

8

* ような割込も並列入出力ポートに入る。

【0035】CPU200として使用される80C186プロセッサは3つのタイマを有し、うち2つ(タイマ0および1)は入力および出力ピンを有し、1つ(タイマ2)は入出力接続を有さない。タイマ0はユーザアクセスのためにピンアウトされ、タイマ1は内部および外部のいずれにも使用されず、タイマ2は内部機能専用である。

【0036】80C186は13のプログラマブルチップ選択出力を発生する。これらのうち6つはメモリ装置用であり、7つは周辺装置用である。これらのうち、MCS0、MCS1、UCS、LCS、PCS0およびPCS1はユーザに与えられる。残りのチップ選択出力(MCS1、MCS2、PCS2、PCS3、PCS4、PCS5、およびPCS6)は内部および外部のいずれにも使用されない。

【0037】(2つの)80C186内部DMA制御装置は、外部HOLD/HOLDA機能と同様、通信プロセッサ100によって支持されない。

【0038】次に示されるのは、80C186ピンの一覧表である。記憶符号の脇に*の付けられたピンは使用されない。記憶符号の脇に+が付けられたピンは内部で使用され、エミュレーションのためのみに必要とされる。

【0039】

A19/S6	INT2-INTA0/+
A18/S5	INT3-INTA1/+
A17/S4	LCS/
A16/S3	LOCK/*
AD15	MCS0/-PEREQ
AD14	MCS1/ERROR
AD13	/
AD12	MCS2/*
AD11	MCS3-NPS/*
AD10	NMI+
AD9	PCS5-A1*
AD8	PCS6-A2*
AD7	PSC4/*
AD6	PSC3/*
AD5	PSC2/*
AD4	PSC1
AD3	PSC0/
AD2	RD/-QSMD/
AD1	RES/*
AD0	RESET*
ALE/QS0	S2/
ARDY	S1/
BHE/	S0
CLKOUT*	SRDY

9

DEN/
DRQ0*
DRQ1*
DT-R/
HOLD*
HLDA*
INT0+
INT1+

乗算/加算 (MAC) エンジン 300 は、複雑な音声処理アルゴリズムを実行するために CPU 200 と作動するように設計された特殊な目的 DSP エンジンである。MAC エンジンはより詳細を図 4 に示され、実行装置 302、シーケンサ 304、様々なループカウンタ 306、308 およびアドレスジェネレータ 310、312、命令 ROM 314、および SRAM 400 への外部インタフェースを含む。MAC はまた、24 ビット×24 ビットのハードウェア乗算器およびハードウェア DO ループといった従来の DSP の特徴を含み、その特殊化された機能の実行を補助する。

【0040】MAC エンジン 300 は、CPU 200 のマスタ/スレーブ関係におけるマスタとして機能する。同期は MAC エンジン 200 によって発生されたマスクできない割込 (NMI) によって維持され、NMI ライン 328 の CPU 200 NMI 入力に伝送される。シーケンスカウンタは MAC エンジン 300 によって維持される。このカウンタは NMI が発生されるごとに、MAC エンジン 300 によって増分され、各フレームの終了時にクリアされる。MAC 300 はカウンタを割込ポイントとして読出す。

【0041】MAC 300 によって実行されるべき音声アルゴリズムまたは他の信号処理プログラムは、内部 ROM 314 にマイクロコード化され、ユーザによってアクセスされることはできない。これらのアルゴリズムは、RAM 316 のブロックとして記憶される、サンプリングされた音声データの複雑な音声処理アルゴリズムを処理する。

【0042】命令セット — MAC 命令セットは、畳み込み、相関、補間、デシメーション、ベクトル直交化、および再帰的フィルタリングといった機能を含むデジタル音声処理アルゴリズムを支持する。これらの機能はブロックとして記憶されるデータで実行され、エンジンのアーキテクチャはこの応用を反映する。これらの機能を実行するために必要な動作は、特に、乗算、乗算-乗算、加算、減算、データオーバーフロー管理、順次のブロックアドレッシング、データ移動、およびデータの位取りを含む。これらは以下に要約される。

乗算器メモリ基準命令

・乗算器を絶対値にせよ。

【0043】・乗算器にシフトで加算せよ。

(6)

特開平7-38509

10

TEST/-BUSY*
TMR IN 0
TMR IN 1*
TMR OUT 0
TMR OUT 1*
UCS/
WR/-QS1
X1
X2*

10 ・乗算器に桁上げで加算せよ。
【0044】・高い乗算器に加算せよ。
・低い乗算器に抑制された符号拡張で加算せよ。
【0045】・乗算器にシフトをロードせよ。
・高い乗算器をシフトで記憶せよ。
【0046】・低い乗算器をシフトで記憶せよ。
・乗算器からシフトで減算せよ。
【0047】・乗算器からボローで減算せよ。
・高い乗算器から減算せよ。
【0048】・低い乗算器から抑制された符号拡張で減算せよ。

20 算せよ。

・乗算器をゼロにせよ。

メモリアドレスジェネレータ命令

・アドレスジェネレータをロードせよ。

【0049】・アドレスジェネレータを変更せよ。

・アドレスジェネレータを記憶せよ。

乗算命令

・積レジスタ (Preg) を乗算器に加算せよ。

【0050】・一時レジスタ (Temp) をロードせよ。

30 ・Temp をロードし、かつ前の積を乗算せよ。

【0051】・Temp をロードし、かつ乗算器の Preg を記憶せよ。

・Temp をロードし、かつ前の積を減算せよ。

【0052】・乗算および乗算せよ。

・(Temp) を乗算 (し、かつ Preg の積を記憶) せよ。

【0053】・前の積を乗算および減算せよ。

・(Temp) を乗算し、前の積を乗算せよ。

【0054】・符号なしで乗算せよ。

40 ・乗算器を Preg でロードせよ。

【0055】・高い Preg を記憶せよ。

・低い Preg を記憶せよ。

【0056】・Preg 出力をシフトモードにセットせよ。

入出力およびデータメモリ動作

・データをメールボックスから入力せよ。

【0057】・メールボックスヘデータを出力せよ。

・外部割込フラグをセットし、かつ動作レジスタをロードせよ。

50 【0058】・外部割込フラグをリセットせよ。

・ループカウンタを能動化せよ。

【0059】ループカウンタを不能化せよ。

上に述べたように、MACエンジン300はスレーブCPU200へのマスタとして作動する。CPUは、マスクできない割込(NMI)としてCPUに作用するライン328の外部フラグを設定することによって、制御されることができる。作用カウンタは、割込要求肯定応答の際にCPUによって読出可能であるMACエンジンによって更新され、それによってタスクの同期は維持される。CPUを往復するデータおよび制御パラメータの通信は、メールボックスのハンドシェーキング機構を使用する専用の二重ポートされたRAM316を介して行なわれる。MACエンジンおよびCPUの間の音声処理アルゴリズムのスタティックスケジューリングによって、この単純でかつ効率的なインタフェースは、アルゴリズム機能を計算するためにパラメータを通信することができる。

【0060】内部SRAM装置400は、多重ポートのアクセスアビリティを有する単一のポート構造である。SRAM装置400は、MACエンジン300、CPU200、オーディオインタフェース600、および送信/受信パワー500の一部である制御チャネルプロセッサ502によってアクセスされる。RAMは、どのモジュールがアクセスしているかによって、バイト、ワード(16)、および長いワード(24)境界に組織される。RAMの全体の大きさは、実行されるべきプログラムの条件にあっていて、SRAMはアクセス制御機構を単純化するために、別々のブロックに区分されてもよい。たとえば、FACCH、SACCH、およびCDVCC機能に関連するRAMは音声データのために使用されるRAMとは別の区画に置かれてもよい。

【0061】オペレーティングサポート論理装置700は、音声処理動作および、このブロックに受け入れられる「ユーザコード」の間に、タスクスケジューリングを与えるための特定のハードウェアである。音声機能およびユーザ機能の間の区分は、スタティックスケジューラによって厳密に実施される。

【0062】音声処理および非音声タスクの間のCPUの静的区分を支持するために、音声アルゴリズムに関連しない割込といった、実時間イベントはすべて、非音声ウィンドの間のみ、CPU200に与えられなければならない。OSサポート論理ブロック700の機能は、この隔離機能を実行することである。一般に、割込は、音声機能が他の割込によって割込まれることができないNMIサービスルーチンの間起こるという事実によって自動的にブロックされるであろう。(NMIは、それによって、音声機能が80C188を制御することができ、NMI命令からの復帰が実行されると、制御が非音声タスクに復帰される機構として使用される。)したがって、非音声割込を阻止するために特定の論理は必要とさ

れない。

【0063】上述のように、CPUはシステムCPUとして、かつ、音声プロセッサの一部として作動する。ユーザが通常見るのは、CPU処理容量の一部である。システム機能および音声処理の間の区分は、OSサポート論理ブロックおよびファームウェアシェールによって実施される。スケジューリング機構は事実上静的であり、CPU資源を音声動作へ無条件に、極めて特定の時間に与える。CPUは音声関連タスクを実行していないときは、システム機能のために使用可能である。静的スケジューリングの結果として、ユーザはその時間の一部、CPUを、プロセッサが使用できないときに厳密に実施されるギャップで見る。これらのギャップは、CPUがギャップの間に非音声タスクを作動しないとき以外は、ユーザに明らかである。これは、割込を含むシステムタスクはすべて、音声処理ウィンドの間ブロックされる(阻止される)ことを意味する。

【0064】ハンドシェーキングのいくつかは、OSサポート論理およびパワーモード制御機能の間に必要とされ、遮断およびアイドルモードを規則正しい態様で出し入れすることを保証してもよい。

【0065】MACエンジン300は、80C188がある特定の時間に音声あるいは非音声モードのどちらにいったかを示す。

【0066】制御チャネルプロセッサ502は、それがGSMまたはIS-54モードのどちらであるかといった実現されるアルゴリズムによって異なるように機能する。制御チャネルプロセッサ502の基本機能は、データチャネルの、前方のエラー制御および周期冗長検査(CRC)機能、ならびに制御チャネル、のビットレベル処理を行なうことである。

【0067】IS-54モードでは、制御チャネルプロセッサ502は、下で説明されるように、アナログおよび読出準備動作の間理想的である。80C188 CPU200は、アナログおよび読出準備モードの間にすべての制御処理を行なう。デジタル動作の間、処理されるべきチャネルは、SACCH、音声、CDVCCおよびFACCHの4つである。データチャネル中の高速対応制御チャネル(FACCH)メッセージの存在は、検出され、そのデータは処理されねばならない。図5および図6は、制御チャネルプロセッサの受信および送信部のブロック図を示す。

ACCH、受信 — 図5に示されるように、受信SACCHのデータは、制御チャネルプロセッサへ、ライン510のフレームフォーマッタから送られる。制御チャネルプロセッサブロック512内のハードウェアは、シフトレジスタからのデータを内部SRAMのバッファへDMAする。SACCHのデータは符号化された形式(1/2畳み込み符号)であり、23スロット時間からSACCHのデータでインターリーブされる。データはハー

13

ドウェア内で処理されず、むしろ内部RAMバッファへ移動させられる。そこから、80C188 CPU200によってユーザソフトウェアによって処理するための外部RAMに移動させられる。

【0068】SACCH送信 — 送信されるSACCHのデータは、符号化(1/2畳み込み符号)され、インターリーブされ、80C188 CPU200によって外部RAMに置かれる。そこから、データは、80C186 CPU200によって、内部RAMのバッファへ移動される。図8に示されるように、制御チャンネルプロセッサ装置520内のハードウェアは、制御チャンネルプロセッサ内のシフトレジスタ522にデータをDMAする。

【0069】音声、受信 — データチャンネルは、音声またはFACCHのデータのどちらかを含むことができる。通信プロセッサ100は、ある与えられた受信フレームに、どの型のデータが含まれるか予め知らないため、データは音声およびFACCHのデータの両方として処理されなければならない。

【0070】受信方向において、図5に示されるように、音声データはシーケンサ526内のクラス1およびクラス2の部分に分割される。クラス1の部分は、1/2畳み込み符号プロセッサ528およびCRC検査装置532を介して、制御装置534によって内部SRAMに置かれる前に、処理される。クラス2のデータは、制御装置534によって直接SRAMに置かれる。

ACCH、受信 — 受信データチャンネルもまた、FACCHプロセッサを通過し、1/4畳み込みデコーダ530およびCRC検査装置536に送られる。もしCRC検査が有効であれば、データが実際にFACCHのデータであった、さもないと音声データと考えられることを示す。有効なFACCHデータは、内部RAMバッファにDMAされる。

【0071】音声、送信 — 送信側(図6)では、システムは、データが音声またはFACCHのどちらであるか、前もってわかる。送信される音声データは、MACエンジンによってクラス1およびクラス2フィールドでSRAMに置かれる。クラス1フィールドは、マルチプレクサ544によってフレームフォーマットに送られる前に、1/2畳み込みエンコーダ540およびCRCジェネレータ542を介してDMA装置546によって送られる。

【0072】FACCH、送信 — 送信されるFACCHデータは、80C186 CPU200によって内部RAMのバッファに置かれる。そこから、制御チャンネルプロセッサにDMAされ、マルチプレクサ544によってフレームフォーマットに送られる前に、1/4畳み込みコード550およびCRCジェネレータ552を介して送られる。

【0073】CDVCC、受信 — フレームフォーマット

(8)

特開平7-38509

14

トからの受信CDVCCデータは、12.8ハミングコードデコーダ560を介して処理され、内部RAM内のバッファにDMAされる。そこから、80C186によって処理される。

【0074】CCVCC、送信 — 80C186 CPU200は、制御チャンネルプロセッサ内のバッファにCDVCCバイトを書込む。そこから、12.8ハミングコードエンコーダ554を介して処理され、フレームフォーマットに送られる。

【0075】GSM — GSMモードでは、次の機能は音声チャンネルで行なわれる。受信方向において、HDL C(LAPM)ビットレベルの処理は、制御チャンネルプロセッサ内で処理され、データは内部SRAMに置かれる。送信方向において、パケットは80C186によってフォーマットされ、内部SRAMに置かれる。そこから、制御チャンネルプロセッサはビットレベルのHDL Cプロトコルを実行し、データをフレームフォーマットへ送る。

【0076】割込 — 制御チャンネルプロセッサはある状態条件に応答して、CPU200への直接割込を発生する。これらの条件は、FACCH、SACCHおよびCDVCC受信データサービス要求と、FACCHおよびSACCH送信完了表示と、音声エラーミュート要求と、FACCHエラー表示とを含む。

【0077】送信/受信バッファ500の一部でもある、フレームフォーマット504は、GSMまたはIS-54モードのどちらであるかといった、実現されるアルゴリズムによって、異なるように機能する。IS-54モードでは、フレームフォーマットは、20ミリ秒の送信および受信スロット(2/フレーム)を組立て、かつ分解する。データは、コードされたデジタル検証カラーコード(CDVCC)、低速対応制御チャンネル(SACCH)、および音声/高速対応制御チャンネル(FACCH)データの流れに分類される。フレームフォーマットは、直列無線インターフェイス508および制御チャンネルプロセッサの間に位置する。

【0078】送信方向では、音声/FACCH、SACCHおよびCDVCCデータは、多重シーケンサ586内の装置580、582および584からの同期、保護、およびランビットに結合され、直列無線インターフェイス506に送られる。音声またはFACCHデータは、2スロット時間にわたってスロットインターリーブ動作を行なうシーケンサ502によって、バッファ560内に組立てられる。インターリーブアルゴリズムの性質のために、バッファは2ブロック深さである。データは次のブロックが組立てられている間、ブロックの中から送信される。

【0079】直列無線インターフェイスは、制御およびデータ情報の両方を送るので、そのビット伝送速度は無線のビット伝送速度よりも速い。この理由で、無線のビ

15

ット伝送速度クロックは音声動作のために発生され、ライン590上の直列無線インターフェイス(SRI)ビットクロックは、非音声動作の送信および受信のために使用される。無線のビット伝送速度クロックは、回復されたスロット同期に位相ロックされる。

【0080】受信機は、直列無線インターフェイスから受信されたデータを送受切換機/シーケンサ570内の音声/FACCH、SACCH、およびCDVCCビットの流れにデマルチプレクスする。音声データは、デインターリーブ(deinterleave)され、2スロットの深さのバッファ592内に記憶される。SACCHおよびCDVCCデータの流れは、制御チャネルプロセッサに直接送られる。同期検出器594は、スロットIDと同様、スロットの境界も識別する。

【0081】直列無線インターフェイス508(図2)は、CPUを往復する制御指令によって送信(または受信)されるビットの流れと無線とを単一の直列ビットの流れに結合する。これは、送信データと、受信データと、ビットクロック信号とを有する、3本のワイヤインターフェイスである。フレーミングパターンは、データの流れに、はめこまれる。このブロックの定義は、接続されるユーザ無線にまったく依存している。

【0082】サニティタイマ(sanity timer)は、通信プロセッサ100に含まれる。タイマは永久的に能動化され、時間切れになると、RESET/(アクティブ ロー)ピンに2ミリ秒パルスが発生する。通信プロセッサの内部のハードウェアもまた、ウォッチドッグタイマ800(図8)によって時間切れをリセットされる。その結果はRESET/ピンを起動するのと同じである。ハードウェアリセットは、カウンタ802が2秒置きにクリアされなければ、通信プロセッサ100に発生される。カウンタ802がクリアされなければ、出力はリセットパルスジェネレータ802へ発生される。特定のキーシーケンスはCPU200によって、リセット後2秒以内、および前の時間切れへの前の更新から2秒以内にウォッチドッグキーレジスタ804に書き込まなければならない。キーシーケンスは、リセットから開始する2段階機能である。ウォッチドッグタイマは段階1で開始し、ウォッチドッグキーレジスタへの書き込みを待機する。ウォッチドッグキーレジスタに書き込まれた値が5AH以外のものであれば、システムリセットは(ちょうど最終カウントが到着したかのように)発生される。書き込みが5AHであれば、段階2は入力される。段階2では、ウォッチドッグタイマは別の書き込みを待機する。書き込みが5AHであれば、タイマはリセットされ、段階1は再入力される。書き込みが5AH以外のものであれば、システムリセットが発生される。

【0083】ウォッチドッグタイマは、ハードウェアのピンで固定できるディスエーブルモードを有し、これによってウォッチドッグはソフトウェアの開発のために不

(9)

特開平7-38509

16

能化されることができる。WDTDISABLEピンがローに連結されると、ウォッチドッグタイマは能動化される。ハイに連結されると、ウォッチドッグタイマは不能化される。

【0084】キーパッドインターフェイス1300(図2)は、図9に示されるキーパッドスキャナ1302を含む。スキャナ1302はキーパッドを25キーまで支持する。スキャナはCPU200から自主的に作動する。キーパッドの作業は、CPUのアドレス空間にマップされた状態レジスタ1304を介して検出され、報告される。キーが押されるとき、および解除されるとき、割込は発生される。作業は、押し下げることおよび解除の両方でデバウンスされる。目覚まし信号は、キーパッド作業が、MSCが遮断またはアイドルモードにあるとき検出されると、発生される。エラーコードは、多重キーが押し下げられると発生される。

【0085】次の機能は、キーパッドスキャナ1302によって行なわれる。キーパッド作業の検出、キー閉鎖の同一性の決定、キーの上下移行のデバウンス、CPU200への直接割込の生成。キーパッドの状態は、CPU200ユーザアドレス空間にマップされたレジスタを介して報告される。この状態は、ノートキーダウncode(not key down code)(00000000)、多重キーダウncode(XXXXXXX1)、および各キーのコード(RRKKKKKK0)を含む(R=予約、K=キーコードおよびX=フロントゲア)。マスク可能な割込は、使用できるレジスタが変化するときが発生される。キーパッドスキャナは、作業が存在しない静的状態に作動するように設計され、作業の検出の際に自動的に目覚ましを行なう。

【0086】直列入出力表示インターフェイス1400(図2)は、3本のワイヤのバスであり、これによってCPU200は、LCDといった外部直列装置と通話することができる。3本のワイヤの直列バス(クロック、データ入力、およびデータ出力)は、表示モジュールおよび直列EEPROMのようなユーザが必要とする他の直列に制御された装置と通信するために与えられる。直列バスは、CPU200への周辺装置であり、単独でユーザソフトウェアの制御下にある。直列バスに使用されるプロトコルはユーザによって特定されるべきである。もし多数の装置がバスに接続されると、並列入出力ポートは必要なチップ選択機能を与えるために使用されることができる。直列バスはソフトウェアを介して、電力消費を減少させるために不能化されることができる。通信プロセッサが遮断モードにあるとき、データ入力の作業は、通信プロセッサ100の目覚ましを行なわないであろう。

【0087】システムクロックジェネレータ800は、通信プロセッサ100の内部のすべてのクロックを発生する。電力消費を減少させるためのクロック速度の動的

50

(10)

特開平7-38509

17

制御は、リセット/モード制御ブロックとともにこのブロックで処理される。

【0088】リセットおよびパワーモード制御装置1200は、パワーオンリセットおよび低電圧検出を与える。別々のリセット入力および出力ピンが与えられる。システムリセット機能に加えて、MSCの様々な動作モードの出入れの制御は、このブロックに置かれる。

【0089】並列入出力ポート1500は、入力および出力のいずれにもプログラムされることができ、汎用の入出力ピンとして与えられる。各出力の論理的状態は、入力/出力選択レジスタ1502(図10)を設定することによって、CPU200によりプログラマブルである。

【0090】入力としてプログラムされるピンは、ピンが最後に読出されて以来、状態をハイからローへ変化したことを示すと同様、ピンの現在の状態も両方報告する。1つのマスクできる割込は、どのような入力状態をハイからローへ変化させるときも、CPU200に発生される。この割込はビットごとにマスク可能である。リセットにおいて、すべてのピンは入力であり、割込は不能化される。

【0091】出力としてプログラムされたピンの状態は、CPU200によってレジスタ1504にプログラムされた論理的レベルを直接反映する。

【0092】制御/状態レジスタ — 4つの型のレジスタが利用され、それらはすべてCPU200のアドレス空間にマップされる。レジスタ1502の第1の型は、各ピンに1ビットを有し、そのピンが入力であるかまたは出力であるかを制御する。第2の型1504は、各ピンに1ビットを有する。これらのビットは、入力ピンの現在の状態を与え、出力ピンの状態を設定する。第3の型1506は、各ピンに1ビットを含み、レジスタが最後に読出されてから各入力状態を変化させたかどうかを報告する。レジスタの最後の型1508は、各ピンに1つの割込能動化ビットを与える。並列ポート割込は、直接割込であり、CPU200に直接送られる。

【0093】システム検査論理ブロック100は、電話のシステム検査を実行するためのハードウェアを備える。これらのテストは、支持されるアルゴリズムに基づいて決定される。

【0094】通信プロセッサ100の役割は、典型的なIS-54セルラー電話の図面を参照すると、最適に示されることができ、図11は、デジタルモードで動作するIS-54電話に必要とされる機能を示す(GSM動作は、音声および信号アルゴリズムが異なる以外は、この図面に類似している)。通信プロセッサ100は、点線の枠内の機能を実行する。

【0095】図20は、アナログ動作モードの電話機能を示す。このモードでは、通信プロセッサは必要な音声および制御機能のすべてを行なう。通信プロセッサ100

18

0がデジタルモードに使用されるのと同じDSP資源を使用して、音声および制御信号を処理することに注目すると興味深い。デジタルモードFDQPSKモデムにあるA/DおよびD/Aコンバータは、アナログモードで使用され、デジタルフォーマットを往復するラジオによるアナログ信号を変換する。これによって、さもないければ二重モード動作に必要とされたであろうハードウェアの複写が減少する。

【0096】図12は、この発明を使用するデジタル音声処理のための伝送経路を示す。この図は以下のものを示す。

【0097】アナログ利得ブロック616、A/D606、デシメータ610 — これらのブロックはマイクロホンからの入力を増幅し、デジタル化し、デシメートする。

【0098】ハンドフリー減衰器(HF減衰器) — これは、所望されるなら与えられてもよいハンドフリー装置の制御下にあるプログラマブルな減衰器である。

【0099】ハイパスフィルタ(HPF) — 120ヘルツで遮断されるハイパスフィルタである。

【0100】DTMF — 送信されるDTMFトーンは、DTMFブロックによってここで信号経路に送込まれる。これらのトーンもまた、基地局によって発生される。

【0101】VSELPエンコーダ — 音声圧縮アルゴリズムはこのブロックによって行なわれる。

【0102】CRC — CRCは、音声の符号化された各ブロックの、12の最上位知覚的ビットのために計算される。

【0103】量み込み符号化 — 1/2量み込み符号は、各音声ブロックの77クラス1ビットを処理するために使用される。

【0104】FACCH量み込み符号化 — 音声の代わりにFACCHデータは送信されるとき、1/4量み込みコードを介して処理される。

【0105】SACCH量み込み符号化 — SACCHデータは、1/2量み込みコードを介して処理される。

【0106】CDVCC — 12ビットのCDVCCは、12.8ハミングコードを使用して組立てられ、直列のビットの流れとしてフレームフォーマットに送られる。

【0107】フレームフォーマッタ — CDVCC、SACCH、および音声/FACCHのビットの流れは、保護時間、ランプ時間、および同期ビットとともに送信するためにフレームに配列される。

【0108】DQPSKモデム — フレームフォーマッタからのビットの流れは、DQPSKモデムを介してアナログフォーマットに変換される。

【0109】RF/FM変調器 — このブロックは、FM変調およびRF機能を与える「無線」である。

(11)

特開平7-38509

19

20

【0110】ディジタル音声処理のための受信経路は図13に示される。

RF-FMデモジュレータ — このブロックは、RFおよびFMデモジレーション機能を与える無線受信機である。

【0111】差動直角位相シフトキー（DQPSK）モデム — 無線の出力は、DQPSKモデムによってディジタルビットの流れに変換される。

【0112】フレームデフォーマッタ — モデムからのビットの流れは、フレームからなる。フレームデフォーマッタは、各フレームをSACCH、CDVCC、および音声/FACCHデータに分割する。さらに、スロット同期はこのブロックで検出される。

【0113】畳み込みデコーダ — 178ビットの符号化されたクラス1の音声データは、1/2畳み込みデコーダを介して処理される。

【0114】FACCH畳み込みデコーダ — もし存在するなら、FSACCHデータは、1/4畳み込みデコーダを介して処理される。

【0115】SACCH畳み込みデコーダ — SACCHデータは、1/2畳み込みデコーダを介して処理される。

【0116】CDVCC — ハミング符号（12、8符号）化されたCDVCCは、このブロックでデコードされる。

【0117】CRC — 7ビットのCRCは、基地局トランスミッタによって畳み込み符号化される前に、12の知覚的最上位クラス1音声ビットに付加される。このCRCフィールドは、このブロックによって検査される。

【0118】VSELPデコーダ — VSELP音声拡張アルゴリズムは、このブロックによって処理される。

【0119】ミュート — ある条件下において、音声信号はミュートされなければならない。入力または出力ミュートを作り出すどのような過渡現象も、特定の振幅および必要とされる持続期間に満たさなければならない。

【0120】呼出処理トーン — 免振音およびDTMFのようなトーンは、ユーザフィードバックに与えるために発生される。これらのトーンは、この点で受信経路に送達される。トーンジェネレータもまた、送信側のDTMF信号を発生するために使用されることに注意されたし。

【0121】ハンドフリー減衰器 — これは、ハンドフリー装置の制御下にあるプログラマブルな減衰器である。

【0122】補間器、D/A、LPF、およびアナログ利得段階 — 補間器、D/A、およびローパスフィルタは、プログラマブルな利得出力ドライバによって増幅されるアナログ音声信号を作り直す。

【0123】音声処理（IS-54）

10

20

30

40

50

序説 — 音声コーディングアルゴリズムは、コード励起線形予測（CELP）コードとして知られる一群の音声コードに属する。この方法はコードブックを使用して、励起（残余）信号をベクトル量子化し、励起を表現するためにどのコードを使うべきかを決定するための合成による分析方法を使用する。使用されるアルゴリズムは、予め定められたコードブック構造を使用する、ベクトル和励起線形予測（VSELP）コーディングと呼ばれるCELPの変形である。この技術は、全体のコードブックサーチ処理をかなり減少させる。アルゴリズムは、図7に示される従来のLPC合成方法を使用するエンコードおよびデコード機能の両方を必要とする。

【0124】CELPシンセサイザ

図14は、基本的音声CELP合成ルーチンを示す。デコーダのCELPシンセサイザは、コードブックからのどの励起ベクトルを使用すべきかを決定するために受信コードを使用する。コードブックは、40サンプルの長さごとに128ベクトルを含み、これらのベクトルは、典型的には、ランダムホワイトガウス変数である。選択されるベクトルは、利得項ガンマによって調整され、復元された音声の40サンプルを得るために、1組の線形フィルタに与えられる。フィルタは、励起に周期性を与える「長期（long-term）」または「ピッチ」フィルタを含む。「長期」フィルタの出力は、信号にスペクトルエンベロープを加える「短期」または「ホルマント」フィルタに与えられる。

【0125】「長期」フィルタ — 長期フィルタは、前のサンプルから次の出力サンプルを予測しようと試みるシングルタップの予測器を組入れる。送信機能は、B(z)が重bおよびLによって特徴付けられるとき、

【0126】

【数1】

$$B(z) = \frac{1}{1 - bz^{-1}}$$

【0127】によって与えられる。Lは、「遅れ」と呼ばれ、音声化された音声（voiced speech）に対しては、典型的には、ピッチ期間またはその倍数であろう。パラメータpは、「長期」予測係数である。

【0128】「短期」フィルタ — 短期フィルタは、前の10の出力サンプルから次の出力サンプルを予測しようと試みる短期予測器を組入れる。フィルタは、従来のLPC合成フィルタに等しく、

【0129】

【数2】

$$A(z) = \frac{1}{1 - \sum (a[i] z^{-i})}$$

【0130】（iは1から10である）によって与えら

21

れる伝達関数を有する。

【0131】「短期」フィルタは、極「合成」フィルタすべての直接型式フィルタ係数である $a[i]$ パラメータによって特徴付けられる。

【0132】パラメータの更新 — 様々なパラメータ（符号、利得、フィルタ係数）は、シンセサイザへすべて同じ速度で送信されるわけではない。「短期」パラメータは、「長期」パラメータが「サブフレーム」速度で送信される一方、「フレーム」速度で送信される。フレームは、4つのサブフレームからなり、サブフレームは40のサンプルからなりサンプリング速度は8キロヘルツである。

【0133】短期予測パラメータ — 短期予測パラメータは、短期フィルタの $a[i]$ のパラメータである。これらは、基本的なLPC直接型式フィルタ係数であり、FLATとして知られる高速固定小数点共分散格子アルゴリズムと呼ばれるLPC分析技術によって発生される。これは、保証されたフィルタ安定度、ウィンドウされない（non-windowed）分析、および反復内の反射係数を量子化する能力を含む格子アルゴリズムの長所を有する。

【0134】合成による分析 — コードブックのサーチ手順は、図8に示されるCELPシンセサイザの起こり得る励起としての各コードベクトルの試みからなる。合成された音声 $s'(n)$ は、入力音声に対して比較され、差信号が発生される。この差信号は、次に重み付けフィルタ $W(z)$ によってフィルタされ、重み付けされたエラー信号を発生する。エラー信号中の電力 $e(n)$ は、計算され、最小の重み付けされたエラー電力を発生するコードベクトルは、そのサブフレームのコードベクトルとして選択される。

【0135】図15は、CELPコードブックサーチを実行するための経路指定である。図15では、以下のことが示される。

【0136】重み付けフィルタ $W(z)$ — 重み付けフィルタは、知覚考察に基づいたエラースペクトルを重み付けするのに役立つ。これは、音声スペクトルの関数であり、「短期」（スペクトラル）フィルタの $a[i]$ パラメータの点から表現される。

【0137】

【数3】

$$W(z) = \frac{1 - \sum (a[i] z^{-i})}{1 - \sum (a[i] f z^{-i})}$$

【0138】エラーの重み付けの量を定義するパラメータは f であり、音声信号のホルマント領域において許容されるべきエラーの量を制御する。この実現においては、 $f=0.8$ である。

【0139】改訂されたCELPコードブックサーチは図16に示される。重み付けフィルタは、両方の入力経

(12)

特開平7-38509

22

路から、図16に示されるのと同じ構成を与える減算器に移動される。ここでは、 $H(z)$ は、 $A(z)$ 、短期（スペクトラル）フィルタおよび $W(z)$ 、重み付けフィルタの組合わせである。これらのフィルタは、 $A(z)$ のデノミネータが $W(z)$ の分子によって消されるために、結合される。

【0140】

【数4】

$$H(z) = \frac{1}{1 - \sum (a[i] f z^{-i})}$$

【0141】利得の最適化 — 残余エネルギーに基づいたコードブックサーチに先行する利得パラメータを決定する代わりに、全体のサーチの利得を固定するであろう方法が選択され、各コードベクトルの利得を最適化し、よりよい結果をもたらす。最小の重み付けされたエラーを与えるコードベクトルが選択され、それに対応する最適利得がそのために使用されるであろう。このことは、利得項がサブフレームの速度で更新されなければならないことを暗示する。

【0142】コードベクトルの構造 — VSELPコードは、7つの基準ベクトルから構成される2'コードベクトルの励起コードブックを使用する。 $v_m(n)$ を m 番目のベクトルおよび $u_i(n)$ をコードブックの i 番目のコードベクトルとして定義すると、

$$u_i(n) = \text{SUM} (g_{im} * v_m(n))$$

$$u_i(n) = \sum (g_{im} * X v_m(n))$$

$m=1$ から 7 , $i=0$ から 127 , $n=0$ から 39

コードワード i のビット $m=1$ ならば $g_{im}=+1$

コードワード i のビット $m=0$ ならば $g_{im}=-1$

換言すれば、コードブックの各コードベクトルは、7つの基準ベクトルの線形の組合わせとして組立てられる。ランダムコードブックに対するVSELPコードブックの利点は、

- ・極めて能率的なコードブックサーチ手順
- ・低いコードブック記憶要求
- ・チャネルエラーに対してより強健なこと
- ・コードワードおよび「遅れ」係数 b の効率的な接続最適化

40 ビットの割当て — 音声コーダの基本的データ速度は、7950ビット/秒である。これは、前方のエラー訂正/検出技術を使用して13キロビット/秒までコードアップされる。次のように割当てられる音声コーダ（エラー制御前）には、159ビット/フレーム（20ミリ秒）ある。

【0143】

短期フィルタ係数 — 38ビット/フレーム

フレームエネルギー — 5ビット/フレーム

遅れ、 L — 7ビット/サブフレーム 28ビット/フレーム

(13)

特開平7-38509

23

24

コードワード—7+7ビット/サブフレーム 56
ビット/フレーム

b. gamma, gamma, ベクトル量子化器—
8ビット/サブフレーム 32ビット/フレーム

図17は、IS-54に従ったVSELP符号化アルゴリズムを実行するためのステップのフローチャートである。図18は、IS-54のデコードVSELPアルゴリズムを示す。図17および図18の各ステップの詳細な説明は、ここに参照によって援用される。1989年12月、電子工業協会 (Electronic Industries Association) によって出版されたEIA/TIA事業番号2215の出版物「デ*

*デュアルモード移動局—基地局の互換性規格IS-54 (Dual-Mode Mobile Station-Base Station Compatibility Standard IS-54)」に見られることができる。

【0144】図19および図20は、図17および図18のステップを実行するのに必要な演算ステップを区分するタイミングを説明する。下の表1および表2は、図17および図18の様々なステップを実行するのに必要とされる演算動作の数を示す。

【0145】

【表1】

No	機能	演算動作 No.		フレーム/サブフレーム	備考
	エンコーダ E	DSP	CPU	F/SF	
	デコーダ D				
E①	ハイパスフィルタ	1440		F	160 サンプル
E②	自己相関およびウィンドウ	1870 + 55		F	
E③	英分振幅格子アルゴリズム	1475	10	F	
E④	Y, m, d, a, n の変換	45		SF	
E⑤	d, n の補間	20*		SF	* サンプル 1, 2, 3 のみ
E⑥	予測変換係数の変換	90*	9	SF	* サンプル 1, 2, 3 のみ
E⑦	予測器の初期化計算	11556	126	SF	
E⑧	H(2) から 3-ドバツトルのゼロ化係数	2450		F	コードブックのサーチ
E⑨	ゼロ化係数による補正	280*		SF	* サンプル 1, 2, 3 のみ
E⑩	コードブックの選択	600	1	SF	
E⑪	Rm, Dm の計算	280 + 1120		SF	
E⑫	Ci, Ci, Ci, Ci の計算		616	SF	
E⑬	Ci, Ci, Ci, Ci の計算	192		SF	
E⑭	値の比較		64	SF	
E⑮	コードブック 2 の⑩	2450		SF	コードブック 1 のサーチのみ
E⑯	コードブック 2 の⑪	280		F	コードブック 2 のサーチ
E⑰	コードブック 1 の⑪と 2 の直交	6320	8	SF	* サンプル 1, 2, 3 のみ
E⑱	コードブック 2 の⑫	280 + 1120		SF	
E⑲	コードブック 2 の⑬		616	SF	
E⑳	コードブック 2 の⑭		192	SF	
E㉑	コードブック 2 の⑮		64	SF	
E㉒	Rm, Rm の計算	240 + 40		SF	コードブック 2 のサーチのみ
E㉓	Rs, Rs の計算	22 + 120		SF	利得の量子化
E㉔	a, b, c, d, e, f, g, h, i の計算	21	3	SF	
E㉕				SF	
E㉖	利得エラータの計算	2304		SF	
E㉗	利得エラータの比較		253	SF	

【0146】

【表2】

(14)

特開平7-38509

25

26

No.	機能	演算動作 No.	フレーム/サブフレーム		備考
			CPU	DSP	
E②	On Reg. 計算	3		SF	
E②	選択されたコードブックの発生		560	SF	
E③	結合された励起の発生	120		SF	
E④	更新された合成フィルタの更新	400		SF	
E⑤	長期フィルタ状態の更新			SF	アドレスポインタの更新
I①	Yのα値の変換	45		SF	
I②	ポストフィルタインパルス応答の自己相関	55 + 55 + 10		F	サブフレーム 1 かつ、適応時間
I③	自己相関の2乗式フィッティング	10		F	
I④	レベリング反復 (n)	110	10	F	
I⑤	αの補間	20°		SF	* サブフレーム 1, 2, 3 のみ
I⑥	Yの安定性の変換	90°	9	SF	* サブフレーム 1, 2, 3 のみ
D⑦	Reg (n) フレームエネリギの計算			SF	
D⑧	フレームエネリギの補間		1	SF	
D⑨	RSの計算	22		SF	
D⑩	GS, PO, Pk の Parity の変換	10 + 9	3	SF	
D⑪	結合された励起の発生	120	560	SF	
D⑫	合成フィルタ A (z) の更新	400		SF	
D⑬	長期フィルタ状態の更新			SF	
D⑭	サブフレームポストフィルタの更新	840		SF	アドレスポインタの更新
D⑮	位相の位反列	122	2	SF	

【0147】表1および表2の丸で囲まれた数字は、図19および図20ならびに図17および図18の丸で囲まれた数字に対応する。各々の場合、文字Eに関連した数字は、Dに対応する数字がデコード動作を示す一方、符号化動作を示す。処理ステップのいくつかも同様に、フレーム速度で実行され、他のものはサブフレーム速度で実行される。IS-54に従ったデジタル音声データは、20ミリ秒の長さの160サンプルフレームに分割される。したがって、図19および図20では、各線上で1フレーム期間が20ミリ秒を表わし、1サブフレーム期間が5ミリ秒を表わすことがわかる。長期予測計算といった動作は、各フレームごとと一度行なわれる。他方、短期分析は、各サブフレームに一度実行される。表1および表2は、「F」でフレーム速度動作を、「SF」でサブフレーム動作を示すことによってこの区別を付けている。図19および図20は、サブフレーム速度動作を示すDまたはEの次に数字をおくことによってこの差を示す。たとえば、「E1」は、第1のサブフレームで実行される動作を意味し、「E2」は第2のサブフレームで実行される動作を示す、などなど。

【0148】図19および図20は、各々5ミリ秒の4つの時間線に分割された時間図である。主時間線の上の点または線は、CPUの動作を示し、主時間線の下の子点または線は、MACエンジンのDSPの動作を示す。斜線部は、CPUおよびDSPの同時動作を示す。動作はここで区分され、乗算または多重および累算動作は、ハードウェア乗算器、ハードウェアDOループ、などによ

る計算に採用されるDSPによって実行される。加算、減算、割算、平方根、エクスクリューシブOR、ルックアップテーブルおよび比較といった他の動作は、CPUによって実行される。これらの区分された動作の実行は、全体の手順を実行するために必要な総時間を減少させるために、CPUおよびDSPの同時動作を実行可能なだけ利用するようにスケジューリングされる。これは、それらが実際に必要とされる前に、計算のいくつかが実行されているということの意味するということが、数字を参照することによって理解されるであろう。

【0149】図19および図20によって示された区分およびスケジューリングによって、VSELPアルゴリズムは従来のクロック速度を使用して効果的かつ効率的に実行されることができ、それでもCPUにユーザプログラムされたルーチンを処理する十分な時間が残される。

【0150】通信プロセッサ100はまた、従来のアナログセルラー通信を処理するのに使用される。IS-54は、デジタル動作および既存のアナログIS-3規格との逆の互換性の両方を備えるデュアルモード規格である。その結果として、2つの完全な制御および音声機構が支持されなければならない。

【0151】選択されたアプローチは、デジタルモデム（デジタル音声動作）に必要とされる広帯域幅のA/DおよびD/A資源を利用して、アナログモード信号をデジタル形式に変換する。アナログ信号が一度デジタル化されると、デジタルモードに必要とされるD

SP資源は、音声（エンファシス／デエンファシス、圧縮／拡張、など）および制御（SAT、FSKモデム、など）を処理するために使用されることができる。残存する主要なオープンアーキテクチャル決定は、MSCのDSPエンジンおよびデジタルモデムのDSPエンジンの間のこれらのタスクの区分である。MSCは、必要とされる機能を実行する馬力を有する一方、デジタルモデムのDSPを使用して、通信プロセッサ100およびデジタルモデムの間に必要とされるデータ速度を減少させる。このことは、無線が送受器の中に組込まれていない応用においてこの直列チャンネルが、送受器および無線ボックスの間のケーブルで実行される以上、重要なことである。

【0152】呼出セットアップ／アナログ会話

IS-54の呼出セットアップ機能は、本質的にはIS-3に使用されるものと同じなので（同一の信号チャネルフォーマット）、呼出セットアップおよびアナログ会話の両方に同一の基本アーキテクチャを使用することができる。

【0153】送信信号の流れは図21に、受信信号の流れは図22に、アナログ動作で示される。

【0154】図22は以下のものを示す。

アナログ利得ブロック、A/D、デシメータ — これらのブロックはマイクロホンからの入力を増幅し、デジタル化し、デシメートする。

【0155】ハンドフリー減衰器 — これは、ハンドフリー装置の制御下にあるプログラマブル減衰器である。

【0156】圧縮器 — このブロックは、入力データの2乗根関数を実行する。特定の接続および減衰時間は、入力振幅のステップに応答する際に、満たされなければならない。

【0157】プリエンファシス — プリエンファシスブロックは、300および3000ヘルツの間に+6デシベル／オクターブ（20デシベル／デケード）傾斜を与える。

【0158】バンドパスフィルタ — これは標準的な300-3400ヘルツのバンドパスフィルタである。

【0159】リミタ — リミタは、モジュレータに最大振幅を制限するクリッピング機能を実行し、したがって最大周波数偏差を制限する。

【0160】ローパスフィルタ／補間器 — このフィルタは、リミタのクリッピング作用によって発生されたどのような高周波数構成要素も特定された制限を越えないことを保証する。

【0161】SATトーンレベル調整 — 受信されたSATトーンのレベルは、望まれる周波数偏差を発生するように調整される。トーンは入ってくるSATトーンにフェーズロックされなければならない。SATトーンは音声信号に加えられる。

【0162】DTMF — 送信されるDTMFトーン

は、ここで信号経路に送込まれる。

信号トーン（ST） — 必要な10キロヘルツ（公称）信号トーンは、ここで送込まれる。

【0163】マンチェスタエンコーダおよびスケーラ — 論理的にハイおよびローの信号は、必要な±8キロヘルツの周波数偏差の搬送波を発生させるようにスケールされる。このスケーリングはデジタル的であり、その結果生じた信号はD/Aコンバータに先行して送込まれる。

10 【0164】D/Aおよびローパスフィルタ — D/Aコンバータおよび再構成フィルタである。補間を含む。

【0165】RF/FMモジュレータ — このブロックは「無線」であり、FMモジュレーションおよびRF機能を与える。

【0166】図23は以下のことを示す。

RF/FMデモジュレータ — このブロックは無線受信器であり、RFおよびFMデモジュレーション機能を与える。

40 【0167】A/Dコンバータ — デジタルコンバータに対してアナログであり、デシメーションを含む。

【0168】10キロヘルツバンドパスフィルタ — このフィルタは、10kbpsマンチェスタエンコードされた2進信号（広帯域信号データ）の存在を検出する。このフィルタの後には、ビットの検出およびワードの同期を行なうブロックが続く。この信号の存在によって、音声またはSATは排除され、逆もまた同様である。

【0169】6キロヘルツバンドパスフィルタ — 6000ヘルツの中心に置かれ、SATトーンの存在を隔離し検出するバンドパスフィルタである。

30 【0170】SAT検出器 — このブロックは3つのSATトーンの間を弁別し、250ミリ秒以内にSATトーンが存在または存在しないことを示す。この検出は、250ミリ秒ごとに少なくとも一度は実行されなければならない。復元されたSATは、トランスミッタに送られそこでフェーズロックされ、再送信される。

【0171】4キロヘルツローパスフィルタ／デシメータ — 標準的な音声帯域制限フィルタである。

【0172】デエンファシス — このブロックは300および3000ヘルツの間に-6デシベル／オクターブ（-20デシベル／デケード）傾斜を有するネットワークである。

【0173】エクスパンダ — このブロックは入力データの2乗を計算する。特定の接続および減衰時間が、入力振幅のステップに応答する際に一致されなければならない。

【0174】ミュート — ある状況下において、音声信号はミュートされなければならない。入力または出力ミュートのどちらかが入ったどのような過渡現象も、必要とされる特定の振幅および持続期間を減さなければならない。

【0175】呼出処理トーン — 発振音およびDTMFのようなトーンは、ユーザフィードバックを与えるように発生される。これらのトーンはこの点で受信経路に送達される。トーンジェネレータは送信側のDTMF信号を発生させるのにも使用されることに注意されたい。

【0176】ハンドフリー減衰器 — これはハンドフリー装置の制御下にあるプログラマブル減衰器である。

【0177】補間器、D/A、アナログ利得段階 — 補間器およびD/Aは、アナログ音声信号を作り直し、プログラマブル利得出力ドライバによって増幅される。これらの機能は音声インターフェイスハードウェアの記述の部分でより詳細に説明される。

【0178】注：受信音声経路は広帯域信号データが受信されるときの不活性になる。一度呼出が確立されると、移動局はデジタルチャネルを使用するように命令されることができる。

【0179】前述の説明は、この発明を説明するように意図されるもので、これを制限するものではない。明らかに多数の付加、置換および他の変更が、添付の請求項に説明される範囲から離れずに行なわれることができる。

【図面の簡単な説明】

【図1】この発明の通信プロセッサの主要な構成要素を示すブロック図である。

【図2】この発明の通信プロセッサの詳細なブロック図である。

【図3】図2の音声インターフェイスを示すブロック図である。

【図4】図2の乗算器-累算器エンジンのより詳細に示すブロック図である。

【図5】図2の制御チャネルプロセッサの受信器部分を示すブロック図である。

【図6】図2の制御チャネルプロセッサの送信器部分を示すブロック図である。

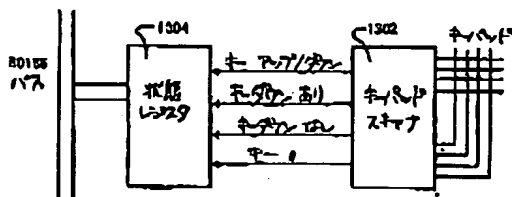
【図7】図2のフレームフォーマットを示すブロック図である。

【図8】図2のウォッチドッグタイマの機構を示すブロック図である。

【図9】図2のキーパッドインターフェイスのキーパッドスキャナを示すブロック図である。

*40

【図9】



*【図10】図2の並列入出力ポートを示すブロック図である。

【図11】デジタルモードセルラー電話の応用を実行するために使用される通信プロセッサを示す機能的ブロック図である。

【図12】図10に構成されるようなプロセッサのデジタル送信信号の流れを示す機能的ブロック図である。

【図13】図10に構成されるようなプロセッサのデジタル受信信号の流れを示す機能的ブロック図である。

10 【図14】基本コード励起線形予測(CELP)処理を示すフローチャートである。

【図15】CELP処理に使用されるコードブックサーチ手順を示すフローチャートである。

【図16】修正されたコードブックサーチ手順を示すフローチャートである。

【図17】ベクトルは励起線形予測(VSELP)エンコーダの実現を示すフローチャートである。

【図18】VSELPデコーダの実現を示すフローチャートである。

20 【図19】VSELPアルゴリズムが実現される際の、図2のデジタル信号プロセッサおよび中央処理装置の間の演算機能の区分を示すために表1および表2とともに役立つタイミング図である。

【図20】VSELPアルゴリズムが実現される際の、図2のデジタル信号プロセッサおよび中央処理装置の間の演算機能の区分を示すために表1および表2とともに役立つタイミング図である。

【図21】アナログモード動作を実現する通信プロセッサを示すブロック図である。

30 【図22】図21のアナログ送信の流れを示すフローチャートである。

【図23】図21のアナログ受信の流れを示すフローチャートである。

【符号の説明】

200 中央処理装置(CPU)

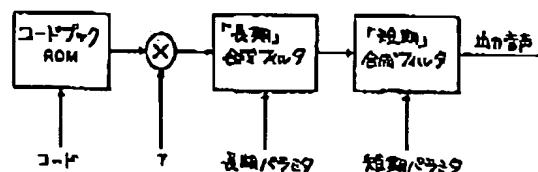
300 デジタル信号プロセッサ(DSP)

400 マルチポートスタティックRAM(SRAM)

102 アドレスバス

104 データバス

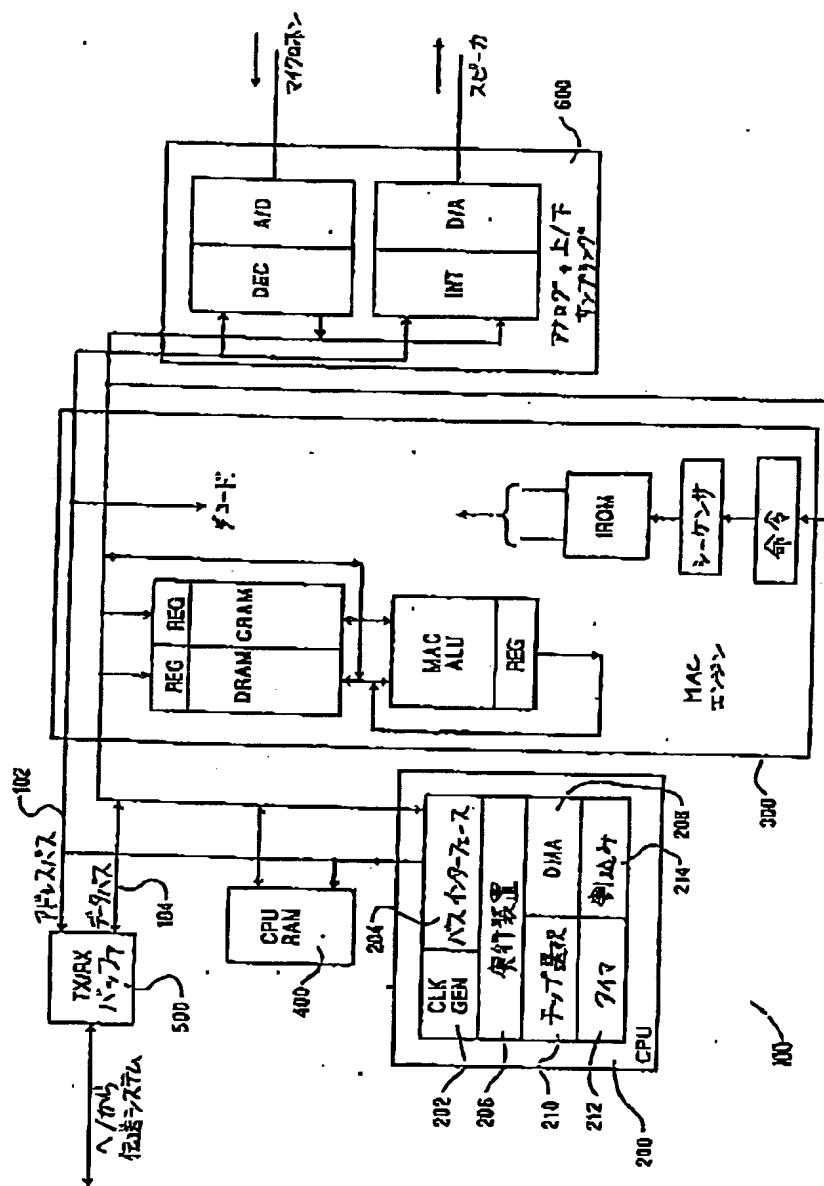
【図14】



(17)

特開平7-38509

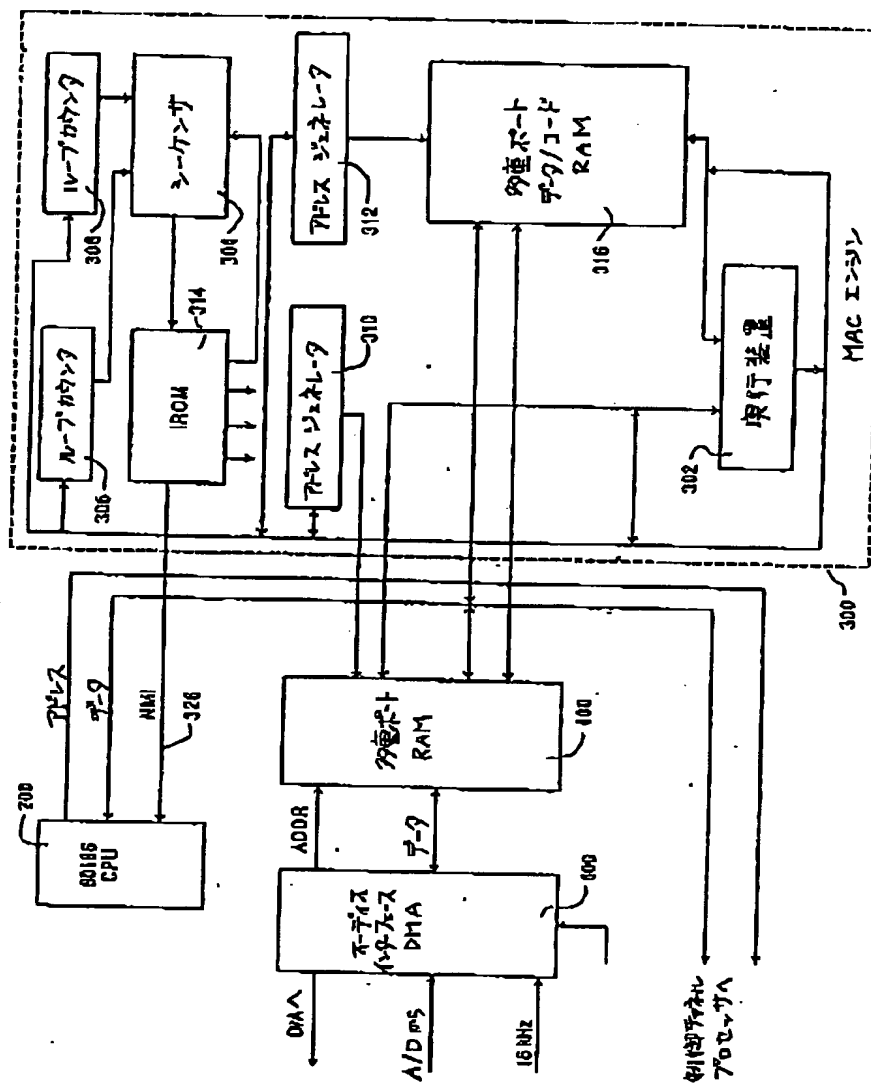
【図1】



(20)

特開平7-38509

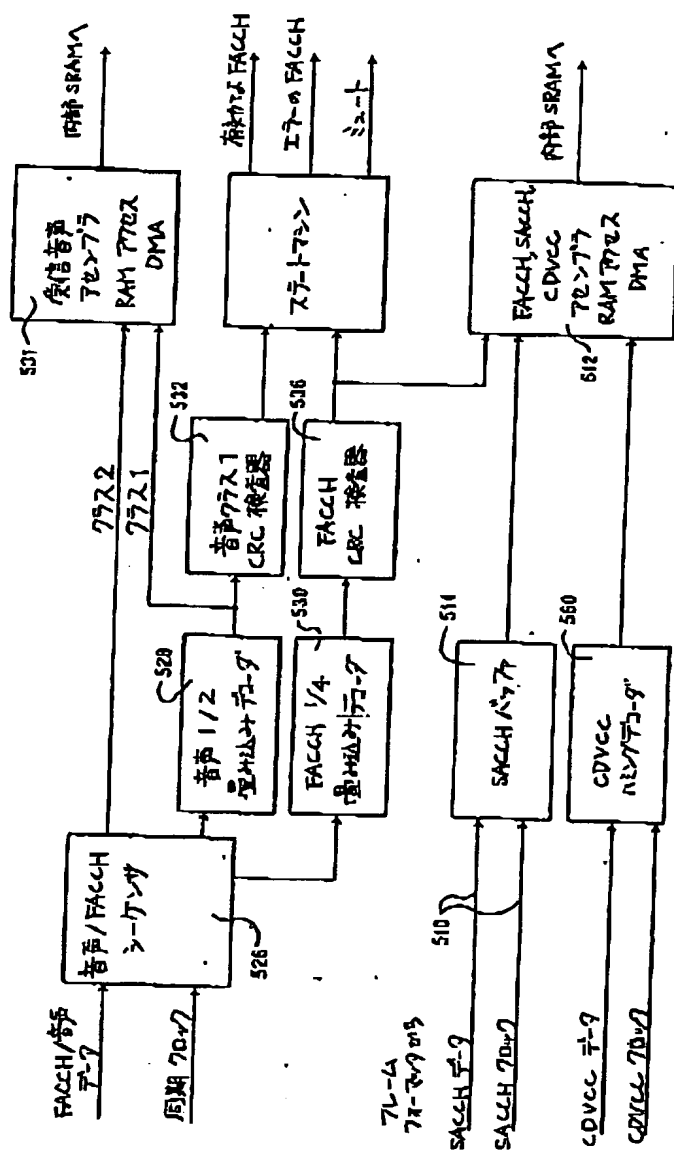
【圖 4】



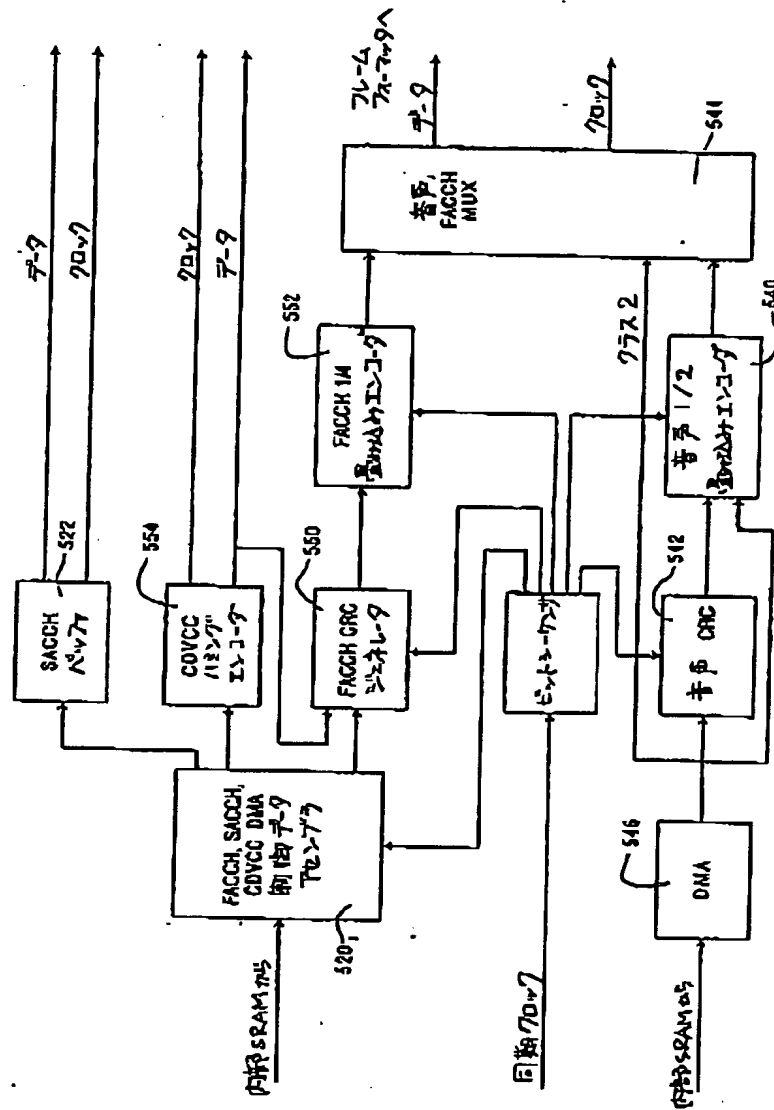
(21)

特開平7-38509

【図5】



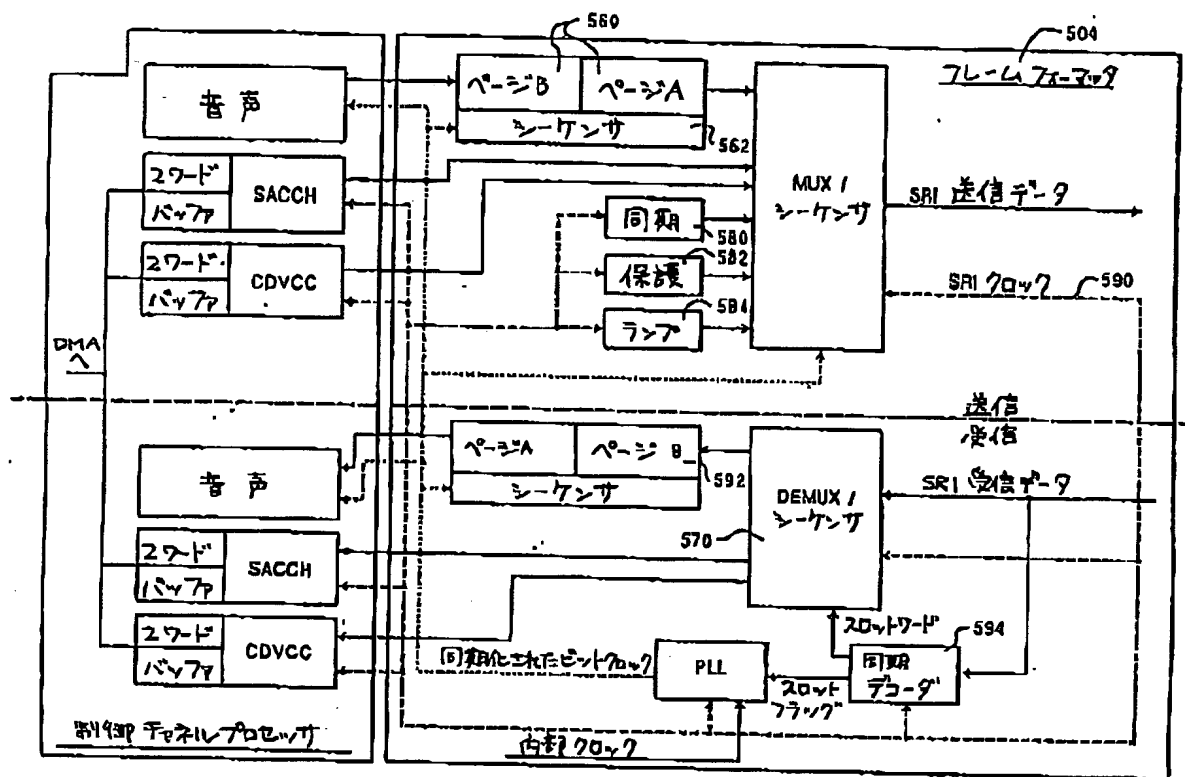
【圖6】




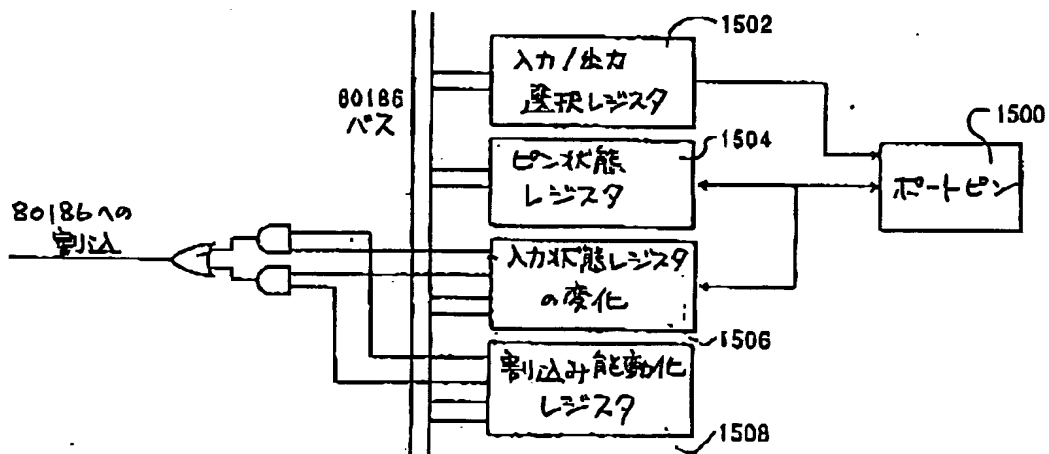
(23)

特開平7-38509

【圖 7】



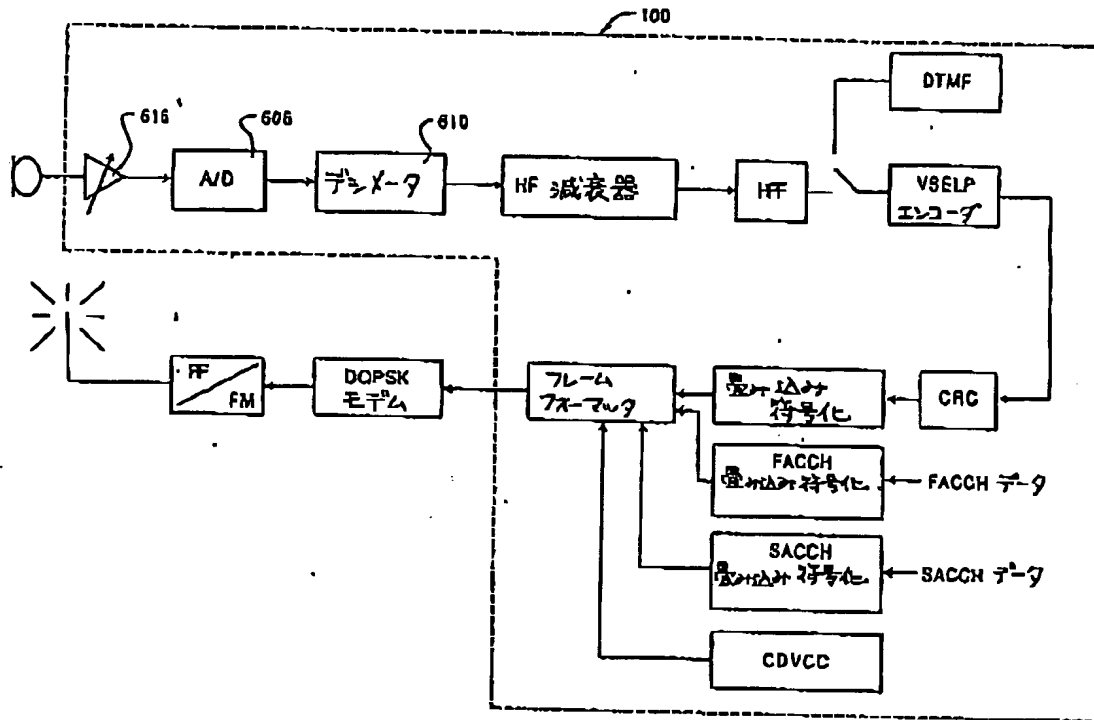
【 10】



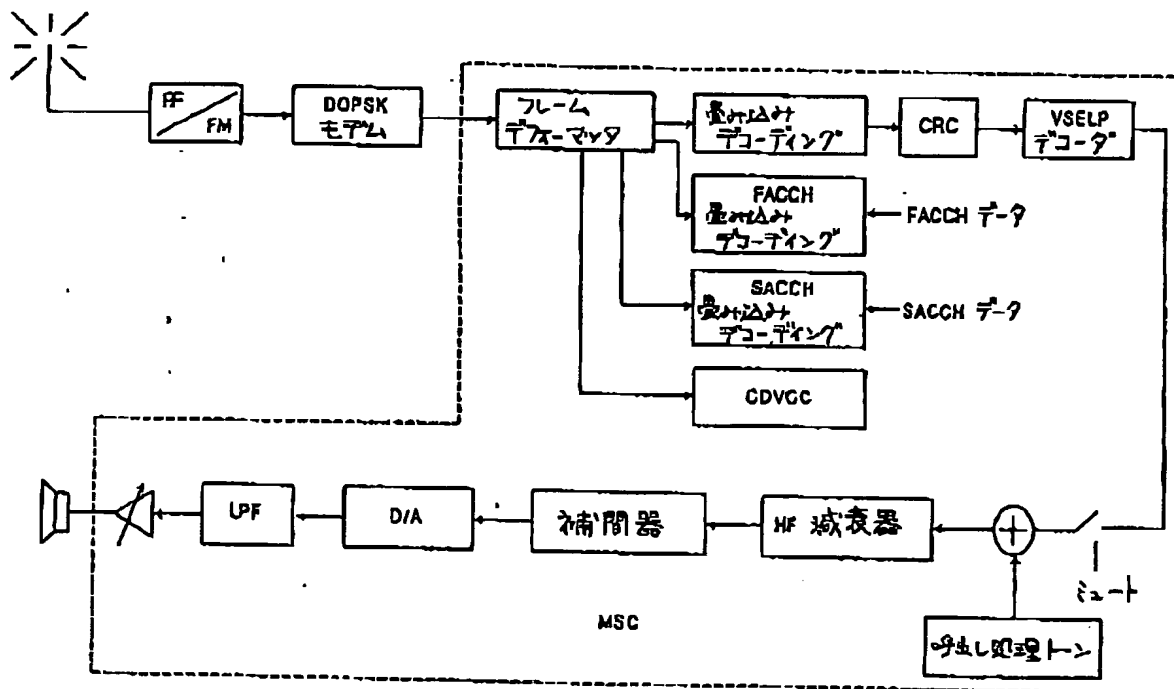
(25)

特開平7-38509

【圖 12】



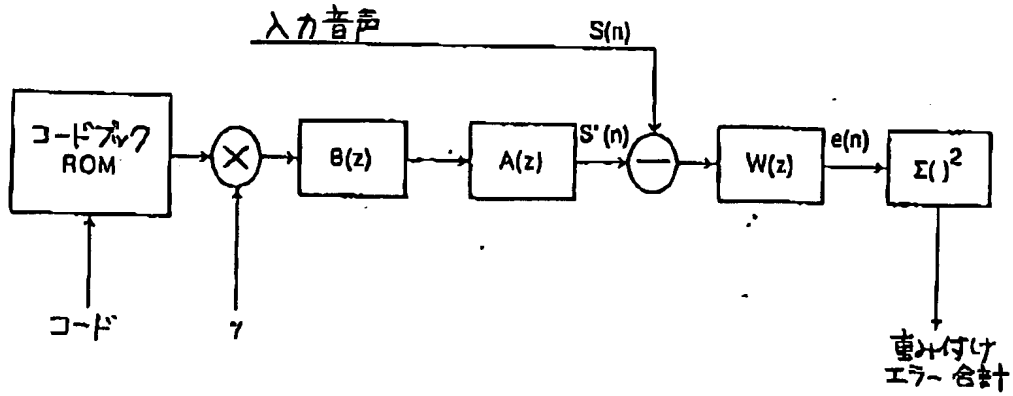
【圖 13】



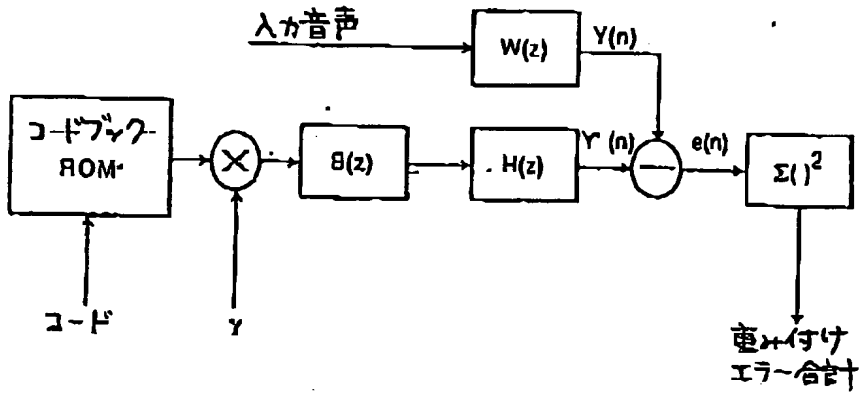
(26)

特開平7-38509

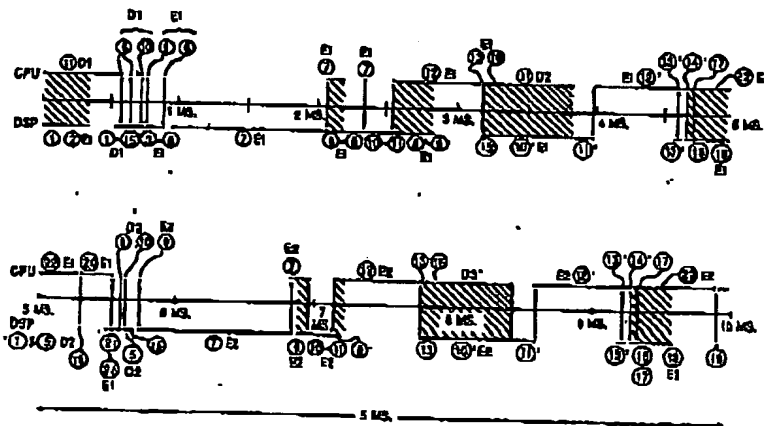
【図15】



【図16】



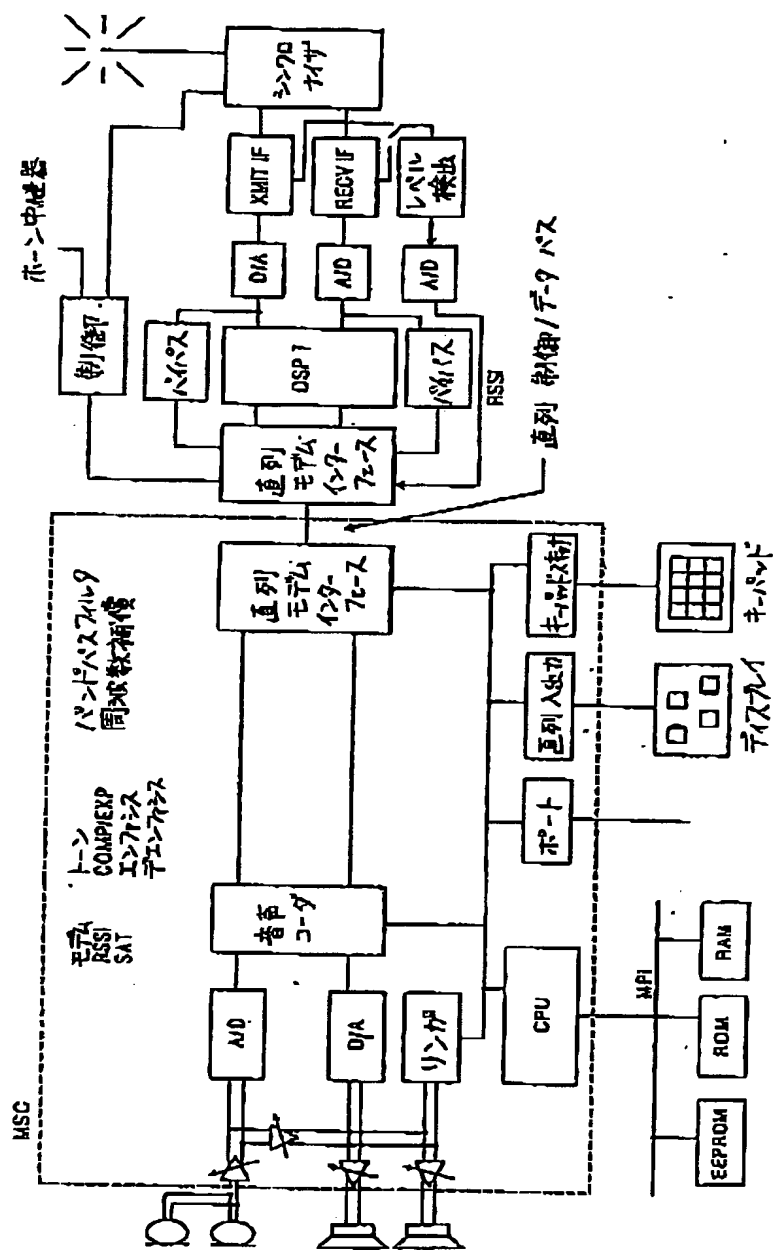
【図19】



(29)

特開平7-38509

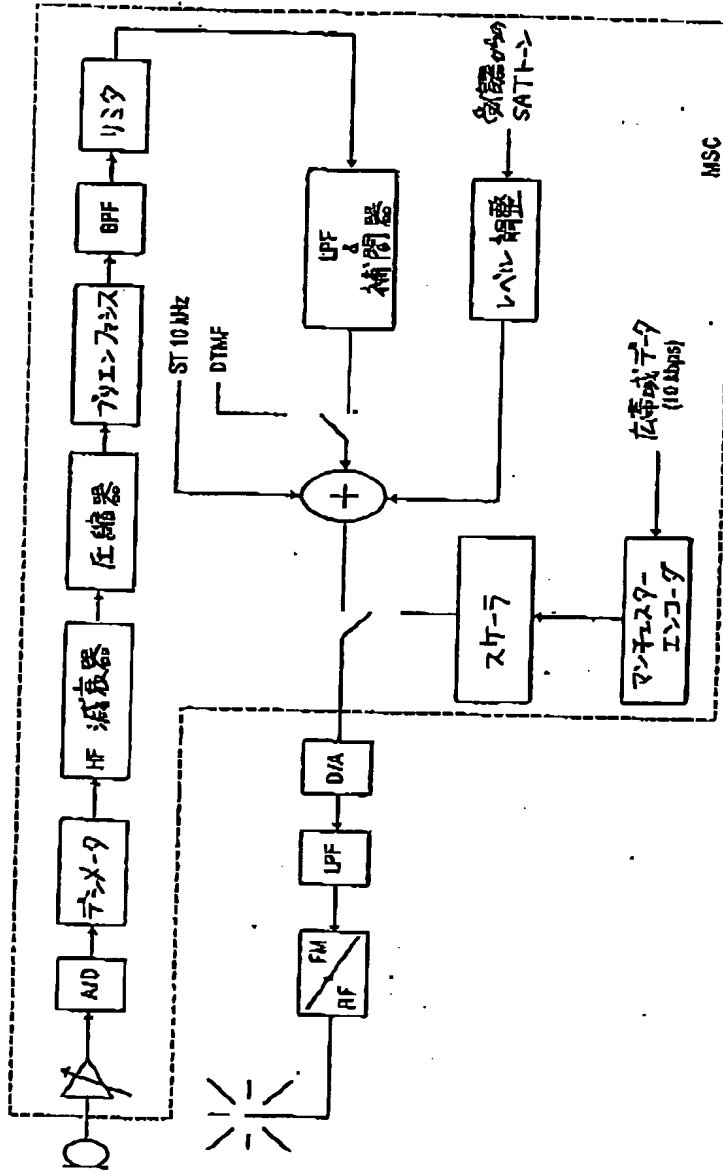
【圖 21】



(30)

特開平7-38509

【図22】



נרשם ביטוי זה לראשונה ב-1977

[illegible]

MS.

(72)発明者 サフダー・エム・アスガー
アメリカ合衆国、78750 テキサス州、オースティン、クウィル・リーフ・コウブ、7010

(72)発明者 ジョン・ジー・パートコピアク
アメリカ合衆国、78735 テキサス州、オースティン、トレイル・クレスト・サークル、4702

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.